Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Лабораторная работа №3

«Использование модулей памяти»

Студент А.С. Бригадир

Руководитель А.И. Стракович

МИНСК 2024

**1 ЗАДАНИЕ**

Разработать схему, включающую в себя буфер данных, модули ROM и

RAM, подключенные к общей шине данных. Прочитать N последовательных байт из ROM\RAM в буфер (заполнить буфер полностью). После ожидания M тактов clk этот блок данных передается из буфера в RAM. Повторить данные действия для другого источника памяти.

Вариант 40:

– Шина адреса: 5 бит

– ROM вывод: синхронный

– RAM вывод: асинхронный

– Размер буфера: 7 байт

– Задержка: 6 тактов

**2 СХЕМЫ**

**2.1 Общая схема проекта**

Схема проекта соответствует структурной схеме на рисунке 2.1.

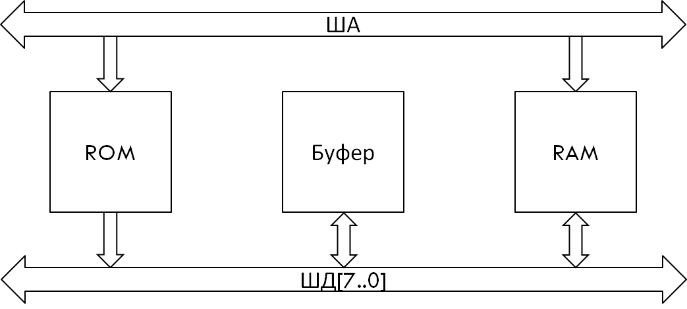
****

Рисунок 2.1 – Структурная схема

Схема состоит из блоков ROM, RAM и буфера. Все блоки соединены шиной адреса (ША) и шиной данных (ШД).

Общая схема проекта показана на рисунке 2.2.



Рисунок 2.2 – Общая схема проекта

Далее подробно рассмотрен каждый из блоков.

**2.2 Блок ROM**

Блок ROM (рисунок 2.3) предназначен для постоянного хранения информации. Информацию из любой ячейки ROM можно считать.



Рисунок 2.3 – Блок ROM

Входы:

– clk – синхросигнал

– rom\_ram – выбор источника данных

– address[4..0] – общая шина адреса

– read – чтение

Выход:

– data[7..0] – общая шина данных

**2.3 Блок RАM**

Блок RАM (рисунок 2.4) предназначен для хранения информации. Информацию любой ячейки ROM можно считать и записать.



Рисунок 2.4 – Блок RАM

Входы:

– clk – синхросигнал

– rom\_ram – выбор источника данных

– address[4..0] – общая шина адреса

– read – чтение

– write – запись

Выход:

– data[7..0] – общая шина данных

**2.4 Буфер**

Буфер (рисунок 2.5) предназначен для временного хранения информации.



Рисунок 2.5 – Буфер

Внутреннее устройство буфера показано на рисунке 2.6.



Рисунок 2.6 – Внутреннее устройство буфера

Механизм управления буфером показан на рисунке 2.7.



Рисунок 2.7 – Механизм управления буфером

Входы:

– clk – синхросигнал

– read – чтение

– write – запись

Выход:

– data[7..0] – общая шина данных

**2.5 Память**

Начальные файлы для RAM и ROM показаны на рисунке 2.8 соответственно.

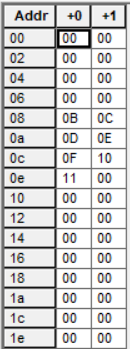
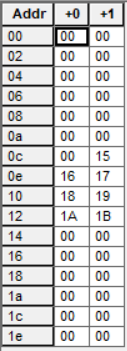
 

Рисунок 2.8 – Файл ROM и RAM соответственно

Результат заполнения RAM показан на рисунке 2.9.

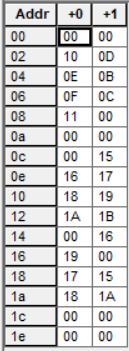


Рисунок 2.9 – Результат заполнения файла RAM

**3 МОДЕЛИРОВАНИЕ СХЕМЫ**

На рисунке 3.1 показана общая симуляция, на рисунках 3.2-3.5 четыре этапа соответственно: чтение из ROM в буфер, запись в RAM, чтение из RAM в буфер, запись в RAM.

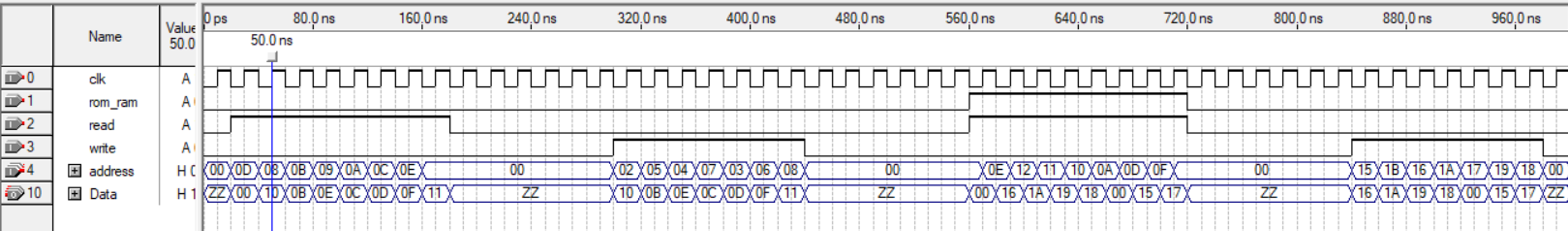
****

Рисунок 3.1 – Общая симуляция

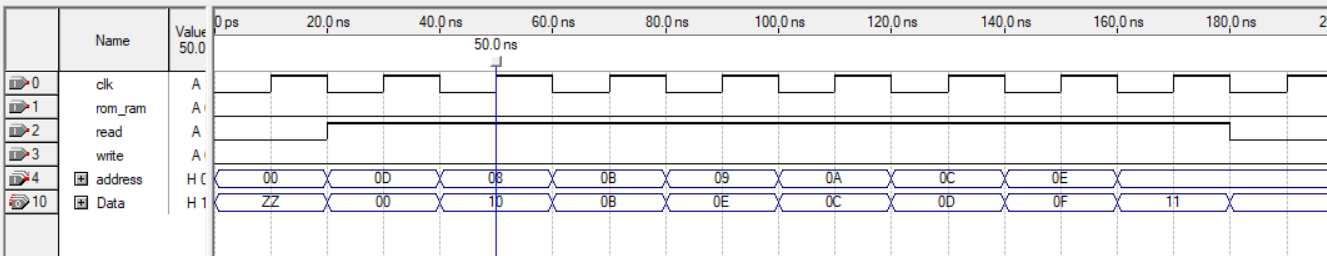
****

Рисунок 3.2 – Чтение из ROM в буфер

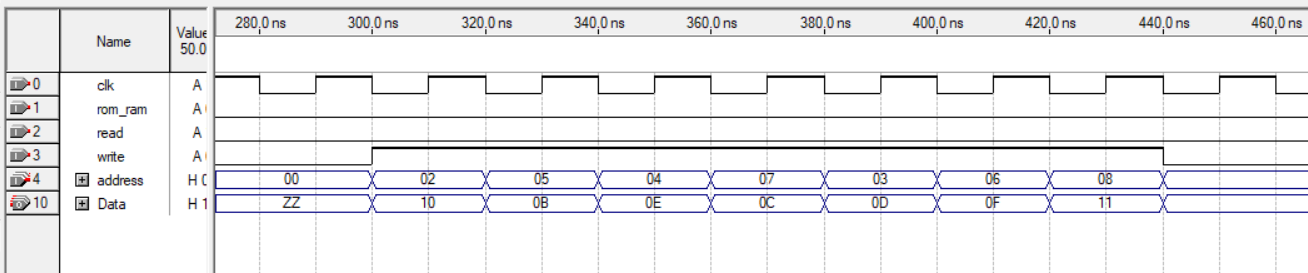


Рисунок 3.3 – Запись в RAM

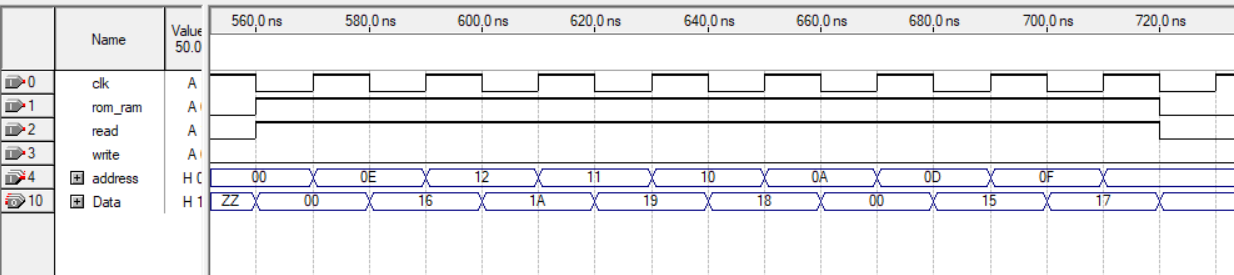


Рисунок 3.4 – Чтение из RAM в буфер

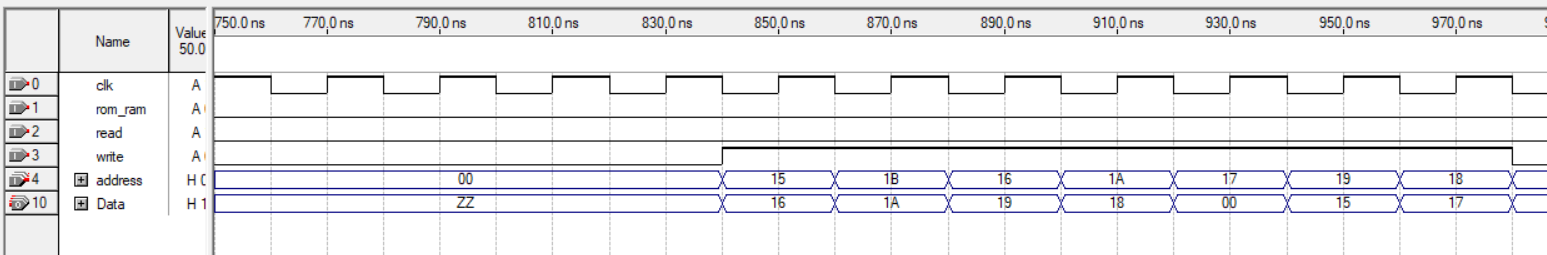


Рисунок 3.5 – Запись в RAM